

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

JP 358115864 A

JUL 1983

58-115864

(54) SEMICONDUCTOR DEVICE

(11) 58-115864 (A) (43) 9.7.1983 (19) JP

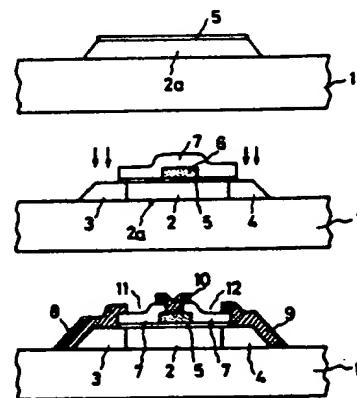
(21) Appl. No. 56-215038 (22) 28.12.1981

(71) NIPPON DENSHIN DENWA KOSHA (72) TAKASHI UMIGAMI(1)

(51) Int. CP. H01L29/78, H01L27/12// H01L29/04

PURPOSE: To obtain the thin film transistor having high withstand voltage, a high mutual conductance, excellent reliability, excellent reproducibility and excellent uniformity for the titled semiconductor device by a method wherein, using a polycrystalline Si having increased grain diameter by performing an annealing on a channel region, an offset region of the prescribed length is provided between a source and a drain regions.

CONSTITUTION: An N type impurity As is ion-implanted in high density on a thin film 2a, impurity diffusion layers 3 and 4 to be used as a source and drain region are formed by performing an annealing at 900°C for 30min. and the interlayer thereof is turned to a channel region 2. Then after a window has been provided at a part on a gate electrode 6 by performing photography and etching on an insulating film 7, an Al layer is formed by electron beam vapor-deposition, a prescribed patterning process is performed, and electrodes 8, 9 and 10 are formed. The buried channel type thin film transistor formed as above, has offset regions 11 and 12 of the prescribed length provided between the impurity diffusion layer 3, which will be turned to a source (or a drain) region, and the electrode 6, and between the electrode 6 and the impurity diffusion layer 4, to be turned to a drain (or a source) region, and the withstand voltage of an element can be improved sharply.



257/66

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58-115864

⑤ Int. Cl.³
H 01 L 29/78
27/12
// H 01 L 29/04

識別記号

庁内整理番号
7377-5F
8122-5F
7514-5F

④ 公開 昭和58年(1983)7月9日

発明の数 1
審査請求 有

(全 5 頁)

⑭ 半導体装置

① 特 願 昭56-215038

② 出 願 昭56(1981)12月28日

③ 発 明 者 海上隆

茨城県那珂郡東海村大字白方字
白根162番地日本電信電話公社

茨城電気通信研究所内

④ 発 明 者 辻山文治郎

茨城県那珂郡東海村大字白方字
白根162番地日本電信電話公社
茨城電気通信研究所内

⑤ 出 願 人 日本電信電話公社

⑥ 代 理 人 弁理士 山川政樹

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

絶縁性基板上に設けられアモルファスシリコンによって粒径を増大させた多結晶 Si からなる第1導電形のチャネル領域と、このチャネル領域の両側にそれぞれ設けられた第1導電形の第1、第2不純物拡散層と、前記チャネル領域上の所定部分にゲート酸化膜を介して設けられ第2導電形の不純物を拡散させた多結晶 Si からなるゲート電極とを備え、前記ゲート電極と前記第1、第2不純物拡散層との間にそれぞれオフセット領域を設けた半導体装置。

3. 発明の詳細な説明

本発明は高耐圧、高相互コンダクタンスを有する埋込みチャネル形薄膜トランジスタを構成した半導体装置に関するものである。

従来、絶縁性基板上に形成される薄膜トランジスタとしては、GaAs、GaP、PbS、InSb、

PbSe などの二元化合物半導体、Si およびアモルファス Si (シリコン)、多結晶 Si などを構成材料としたものが知られている(例えば日経エレクトロニクス1981年12-7)。

このうち、二元化合物半導体を用いた薄膜トランジスタは、キャリアの移動度が大きく、かつ高耐圧の特性が得られるが、薄膜化することにより組成ずれを起して信頼性および再現性に欠けるという欠点があつた。また、二元化合物半導体や Si は、酸化反応によつて半導体層の表面に直接絶縁膜を形成することができないため、ゲート絶縁膜を作る場合は、他元素の酸化膜である SiO₂ や Al₂O₃ などをスベツタ蒸着法などによつて形成している。このため、ゲート絶縁膜と半導体層との界面の特性が劣化するとともに、再現性、均一性に欠け、素子特性がばらつくという欠点があつた。

また、アモルファス Si、多結晶 Si などを用いた薄膜トランジスタは、膜質のばらつきが小さく、かつ半導体層の表面に酸化によつて直接 SiO₂ の

絶縁膜を形成することができるため、ゲート酸化膜と半導体層間の界面特性が良好になるが、耐圧が低く（例えば40V以下）、 Si （エレクトロ・ルミネッセンス）などのように高電圧で駆動する用途には適用できないという欠点があった。

本発明はこのような欠点を除去するためになされたものであり、その目的は、高耐圧であり、かつ高相互コンダクタンスの薄膜トランジスタが得られる半導体装置を提供することである。また、他の目的は、信頼性、再現性、均一性があり良好な特性の薄膜トランジスタが得られる半導体装置を提供することである。

このような目的を達成するために、本発明による半導体装置は、半導体チャンネル領域にアニールによつて粒径を増大させた多結晶 Si を用い、ソース・ゲート間およびゲート・ドレイン間に所定長のオフセット領域を設け、双方向オフセット構造の埋込みチャンネル形薄膜トランジスタを構成するようにしたものである。

以下、図面を用いて本発明を詳細に説明する。

となる。また、11はソース（またはドレイン）となる不純物拡散層3とゲート電極8との間に設けられたオフセット領域、12はドレイン（またはソース）となる不純物拡散層4とゲート電極8との間に設けられたオフセット領域であり、これらは10 μm 以上の長さで形成されている。

以上の構造によつて、埋込みチャンネル形 Si の薄膜トランジスタが構成される。図には1つの薄膜トランジスタが示されているが、絶縁性基板1の上には同様の薄膜トランジスタが複数形成される。

このような埋込みチャンネル形薄膜トランジスタにおいては、 Si 形のチャンネル領域2に対して P 形のゲート電極8が形成されているため、ソース・ドレイン間はゲート電極8に電圧無印加の状態でノーマルオフになっている。ここで、ゲート電極8に所定の電圧を印加すると、チャンネル領域2内の空乏層幅が変化し、ソース・ドレイン間の電流を制御することができる。

このような構成の薄膜トランジスタは、ソース

第1図は本発明に係る半導体装置の一実施例を示す要部断面図である。図において、1はガラスなどの絶縁性基板、2はアモルファス Si あるいは多結晶 Si をレーザ光線でアニールして粒径を増大させて形成した多結晶 Si からなり適切な比抵抗値を有する Si 形（第1導電形）のチャンネル領域、3、4はこのチャンネル領域2の両側に設けられた Si 形不純物を高濃度に拡散させた不純物拡散層、5は粒径を増大させた多結晶 Si を酸化することによりチャンネル領域2の表面に形成された SiO_2 からなるゲート酸化膜、6はゲート酸化膜5の中央部の所定領域に形成された P 形（第2導電形）不純物を高濃度に拡散させた多結晶 Si からなるゲート電極、7はゲート電極6およびゲート酸化膜5上に形成された SiO_2 からなる絶縁膜、8、9は不純物拡散層3、4上にそれぞれ形成されこれとオーミック接触する電極、10は絶縁膜7の一部を除去してゲート電極8とオーミック接触する電極である。電極8、9はそれぞれソース、ドレイン用電極（またはドレイン、ソース用電極）

・ゲート間およびゲート・ソース間にそれぞれオフセット領域が設けられているので、双方向（不純物拡散層3、4がソース、ドレインである場合またドレイン、ソースである場合）に高耐圧を有する。例えばオフセット領域の長さが10 μm 以上であると100V以上の耐圧が得られる。また、チャンネル領域を構成する多結晶 Si はレーザ光線等によつてアニールして粒径を増大させてあるため、チャンネル領域内でのキャリア移動度が増加し、かつ多結晶 Si を酸化させてゲート酸化膜を形成しているのでチャンネル領域とゲート酸化膜間の界面特性が良好になる。この結果、双方向オフセット構造を有しながらも高い相互コンダクタンスが得られる。

次にこのような半導体装置の製造方法について第2図(a)~(e)により説明する。

先づ、第2図(a)に示すように、減圧CVD法を用い SiH_4 を580℃で熱分解して、絶縁性基板1上に厚さ0.5 μm の多結晶 Si の薄膜2aを堆積する。次に、この薄膜2aにドーズ量 $3 \times 10^{15}/cm^2$ 、打

ち込み電圧150KVで Σ 形不純物としてのP(リン)をイオン注入し、900℃、30分の熱処理を行なつて不純物分布を均一にした後、YAGレーザを用いて波長0.53 μm 、ビーム径85 μm のレーザ光線の第2高調波により、1.6ジュール/ cm^2 のパワーで薄膜2aをアニールする。このとき、レーザ光線の照射は、走査速度100 $\mu\text{m}/\text{mm}$ で先づ Σ 方向(第2図(a)で左右方向)に行ない、次いでこれと直角方向の η 方向(図で紙面の前後方向)に行なう。このような2方向のレーザ光照射を行なうと、最初の Σ 方向の照射で多結晶81の結晶粒の成長が主に Σ 方向に起こり、次の η 方向の照射では η 方向への結晶粒の成長は殆んどない。例えば前記のレーザアニール条件では Σ 方向に成長した結晶粒の長さは約10 μm となり、 η 方向に成長した結晶粒の幅は約1 μm となる。このようなレーザアニールは、結晶粒の成長と電気的な活性化のために行なうものであり、1.6ジュール/ cm^2 以下のパワーでは活性化が不十分で所望の特性が得にくい。なお、薄膜2aに対するレーザ光照射は、チャネル

領域になる部分だけでなくその両側のソース、ドレイン領域となる部分にも行なわれる。

次にドライ膜中で1100℃、90分加熱して熱酸化させることにより、薄膜2a上に厚さ1500ÅのSiO₂のゲート酸化膜5を形成する。次いで、ホトリソグラフィ技術とGF₆ガス系のプラズマエッチングによつて薄膜2aとゲート酸化膜5を所定のパターンに加工する。

その後、第2図(b)に示すように、ゲート酸化膜5の上に0.3 μm の厚さに多結晶81を形成し、次いでこれにドーザ量 $3 \times 10^{15}/\text{cm}^2$ 、打ち込み電圧30KVでP形不純物としてのB(ホウ素)をイオン注入し、900℃、15分のアニールを行なつてゲート電極8を形成する。次いでその上にOVD法によつてSiO₂の絶縁膜7を堆積し、ホトリソグラフィとエッチングによりソース、ドレイン領域となる部分を開口する。次に、薄膜2aにドーザ量 $2 \times 10^{15}/\text{cm}^2$ 、打ち込み電圧100KVで Σ 形不純物としてのAs(ヒ素)を高濃度でイオン注入し、900℃、30分のアニールを行なつてソース、ドレ

イン領域となる不純物拡散層3、4を形成する。なお、薄膜2aの不純物拡散層3と4の間はチャネル領域2となる。

その後、第2図(c)に示すように、絶縁膜7にホトリソグラフィとエッチングによりゲート電極8の部分に窓あけを行なつた後、Al(アルミニウム)層を8000Åの厚さに電子ビーム蒸着で形成する。次いでAl層を所定のパターンに加工して電極8、9、10を形成する。

このようにして製造した埋込みチャネル形薄膜トランジスタは、ソース(またはドレイン)領域となる不純物拡散層3とゲート電極8間およびゲート電極8とドレイン(またはソース)領域となる不純物拡散層4間に所定長さのオフセット領域11および12がそれぞれ設けられるため、素子の耐圧が大幅に向上する。ここで、オフセット領域の長さとの耐圧との関係は、第3図の実線に示すように、オフセット長が10 μm 程度から急激に上昇した特性となる。なお、第3図に点線で示した特性はチャネル領域を通常の単結晶81で構

成したものである。

また、チャネル領域(薄膜2a)の製造工程で説明したように、多結晶81は Σ 方向(ソースとドレインを結ぶ方向)に細長い結晶粒の集合であり、各結晶粒間には粒界が存在する。そして、この粒界は電界集中を防止する作用があるので、素子の耐圧をオフセット領域にもとずく高耐圧に加えてさらに向上させ得る。また、結晶粒内のキャリア移動度は単結晶81の移動度と殆んど同じであり、かつこの結晶粒が電流が流れる方向(Σ 方向)に長いので、粒界による移動度の減少はある程度あるものの、単結晶81に近いキャリア移動度を得ることができる。なお、前記実施例におけるチャネル長(Σ 方向の長さ)は10 μm 、チャネル幅(η 方向の長さ)は100 μm にそれぞれ形成されている。また、チャネル領域の多結晶81とゲート酸化膜のSiO₂の界面では、レーザ光照射により結晶粒が成長するため、従来のように小さな結晶粒が多数存在することに起因するトラップの数が減少し、これによつて界面特性が大幅に向

上する。

なお、実施例では、薄膜2aは多結晶Siを堆積した後レーザアニールしたが、アモルファスSiを堆積した後レーザアニールをして粒径の増大した多結晶Siを作ることもできる。また、アニールもレーザ光線によるほか、電子ビーム照射、または電気炉による加熱により行なうこともできる。

次に、本発明による半導体装置の薄膜トランジスタをEL駆動回路に適用した実施例について、第4図により説明する。

第4図において、第1図、第2図と同一部分は同一符号を付してある。13はZnSにMgなどを添加させた材料を厚さ0.2~0.3 μ m、大きさ100 μ m角に形成したEL層、14は透明電極、15は容量を形成するSiO₂からなる絶縁膜、16は電極である。EL層13は電極8を延長した部分と透明電極14の間に介在され、また絶縁膜15は電極9を延長した部分と電極16の間に介在される。ここで、EL発光を行なうために透明電極14と電極16の間に交流電圧が印加されると、不純

物拡散層3と4の間には100V以上の高電圧が交流的に加えられる。しかるに、この埋込みチャンネル形薄膜トランジスタは双方向オフセット構造を有するため、十分に高電圧に耐え特性の安定したEL駆動回路が実現できる。

本発明はこのようなEL駆動回路のほか各種用途に適用することが可能である。

以上述べたように、本発明によると、チャンネル領域の両側の各不純物拡散層とゲート電極の間にそれぞれオフセット領域を設けたことにより高耐圧特性が得られ、また、チャンネル領域にはアニールにより粒径を増大させた多結晶Siを用いているためにキャリア移動度が大きくなり、かつチャンネル領域上のゲート酸化膜は酸化によって容易に形成できその界面特性が良好になるために相互コンダクタンスが高くなり優れた素子特性が得られるなどの効果がある。

さらに、製作工程において、通常の単結晶Si基板を用いた素子形成技術が適用できるために、歩留りが高くなり、かつ再現性、均一性、信頼性

も著しく向上する。

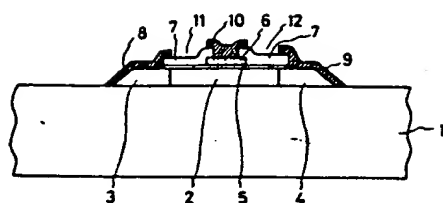
4. 図面の簡単な説明

第1図は本発明に係る半導体装置の一実施例を示す要部断面図、第2図(a)~(d)はこの半導体装置を製造する各工程における要部断面図、第3図はチャンネル長と耐圧の関係を示す図、第4図は本発明をEL駆動回路に適用した実施例の断面図である。

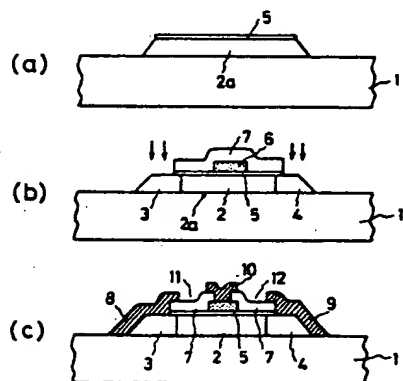
1.....絶縁性基板、2.....チャンネル領域、2a.....薄膜、3, 4.....不純物拡散層、5.....ゲート酸化膜、6.....ゲート電極、7.....絶縁膜、8, 9, 10.....電極、11, 12.....オフセット領域。

特許出願人 日本電信電話公社
代理人 山川 政 樹

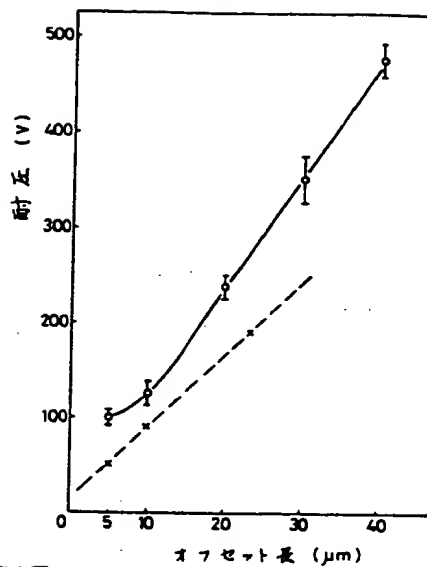
第1図



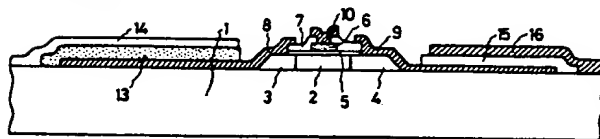
第2図



第3図



第4図



58-158967

(54) SILICON THIN FILM TRANSISTOR

(11) 58-158967 (A) (43) 21.9.1983 (19) JP

(21) Appl. No. 57-40111 (22) 16.3.1982

(71) NIPPON DENSHIN DENWA KOSHA (72) SHIYUNJI SEKI(2)

(51) Int. Cl. H01L29/78//H01L29/04,H01L29/62

PURPOSE: To obtain an FET of high performance by interposing a ZnS conductive a ZnS conductive film between a thin Si film and an amorphous insulative substrate and employing as a gate insulating film a thin Ta_2O_5 film.

CONSTITUTION: Since a ZnS 6 has a large forbidden band width, it can be regarded as an insulative layer, thereby enable preventing the back channel effect and reducing the threshold voltage and the leakage between the source 7 and the drain 9. Further, since ZnS is arranged in (111) direction on an amorphous insulative plate 5 and Si crystal and lattice constant coincide, a single crystal Si thin film can be grown on the plate by an epitaxial method or CVD method, thereby obtaining high carrier mobility, the boundary characteristics between the Si and ZnS can be improved, and the withstand voltage of the transistor can be increased. Further, mobile cations are extremely small in a Ta_2O_5 film 8, an inverted region such as between Si and SiO_2 is not formed, thereby reducing the threshold voltage. Further, the dielectric constant of Ta_2O_5 is approx. 7 times that of the SiO_2 , thereby enable increasing the mutual conductance. The thickness of the Ta_2O_5 film is selected for the utility of the FET.

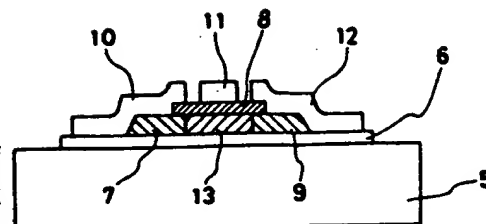


Fig. 2

2 = 7/66